

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-265292

(43)Date of publication of application : 11.10.1996

(51)Int.Cl. H04J 11/00  
H04L 27/38  
H04L 27/22

(21)Application number : 07-062490

(71)Applicant : TOSHIBA CORP  
TOSHIBA AVE CORP

(22)Date of filing : 22.03.1995

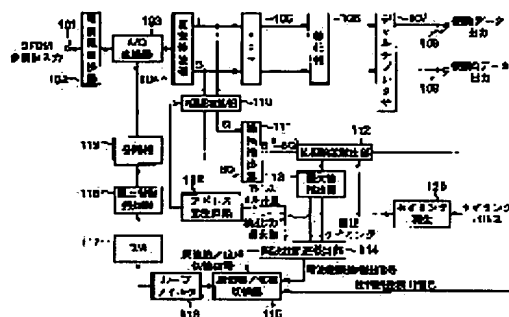
(72)Inventor : SATO MAKOTO  
SEKI TAKASHI  
TAGA NOBORU

## (54) OFDM RECEIVER

## (57)Abstract:

PURPOSE: To pull in the frequency and phase of regenerative clocks in a wide range and to perform accurate clock regeneration without being influenced by the envelope change of reception signals.

CONSTITUTION: This receiver is provided with quadrature detector 104 for quadrature detecting OFDM modulation wave input including a null symbol and a reference symbol for synchronization, correlation detection parts 110 and 111 for detecting the correlation of the reference symbol included in orthogonal detection output, a maximum value detector 113 for detecting the maximum value of correlation detection output, a phase error detection part 112 for detecting the phase error of clocks by obtaining the difference in front and behind a correlation detection maximum value based on maximum value detection output and a frequency error detector 114 for detecting the frequency error of the clocks by obtaining the deviation from a reference value of a timing when the correlation detection output becomes maximum based on the maximum value detection output. The clocks are regenerated by using the output of the phase error detection part 112 and the frequency error detector 114.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(11)特許出願公開番号

特開平8-265292

(43)公開日 平成8年(1996)10月11日

(51) Int.Cl.<sup>8</sup>

識別記号

庁内整理番号

FI

### 技術表示箇所

H04J 11/00

H04J 11/00

$$\mathbf{z}$$

H04L 27/38

H04L 27/00

**G**

27/22

27/22

C

審査請求 未請求 請求項の数5 OL (全 10 頁)

(21)出願番号

特願平7-62490

(22) 出願日

平成7年(1995)3月22日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000221029

東芝エー・ブイ・イー株式会社

東京都港区新橋3丁目3番9号

(72)発明者 佐藤 誠

佐藤 誠

東京都港区新橋3丁目3番9号 東芝工

ー・ブイ・イー株式会社内

(72)発明者 関 隆史

関 隆史

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝マルチメディア技術研究所内

(74) 代理人 弁理士 鈴江 武彦

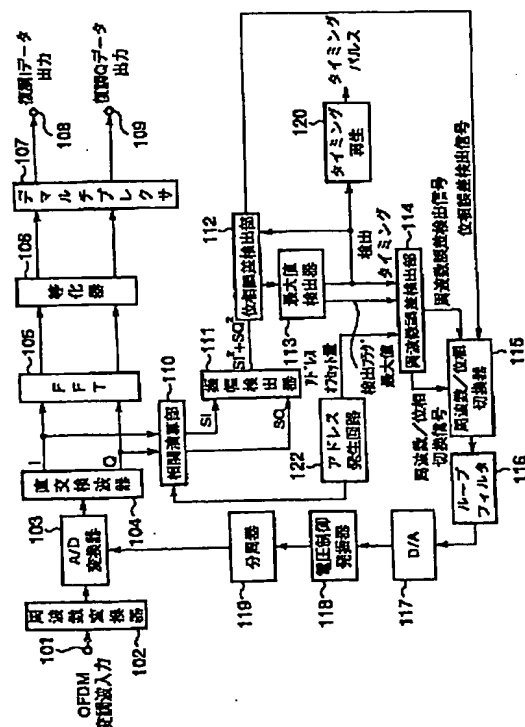
[最終頁に続く](#)

(54) 【発明の名称】 OFDM受信装置

(57) 【要約】

【目的】広い範囲で再生クロックの周波数及び位相を引き込み可能で、受信信号のエンベロップ変化に影響されず、正確なクロック再生を可能にする。

【構成】ヌルシンボル及び同期用基準シンボルを含むOFDM変調波入力を直交検波する直交検波器104と、直交検波出力に含まれる基準シンボルの相関を検出する相関検出部110、111と、相関検出出力の最大値を検出する最大値検出器113と、最大値検出出力に基づいて相関検出最大値の前後の差分を求めることによりクロックの位相誤差を検出する位相誤差検出部112と、最大値検出出力に基づいて相関検出出力が最大となるタイミングの基準値からのずれを求めることによりクロックの周波数誤差を検出する周波数誤差検出器114とを具備し、位相誤差検出部112及び周波数誤差検出器114の出力を用いてクロック再生を行うことを特徴とする。



## 【特許請求の範囲】

【請求項1】 マルシンボル及びタイミング同期用の基準シンボルを含むOFDM変調波が入力され、入力を直交検波する直交検波手段と、

この手段の直交検波出力に含まれる前記基準シンボルの相関を検出する相関検出手段と、

この手段の相関検出出力の最大値を検出する最大値検出手段と、

この手段の最大値検出出力に基づいて前記相関検出出力の最大値の前後の差分を求めることによりクロックの位相誤差を検出する位相誤差検出手段と、

前記最大値検出出力に基づいて前記相関検出出力が最大となるタイミングの基準値からのずれを求めることによりクロックの周波数誤差を検出する周波数誤差検出手段とを具備し、

前記位相誤差検出手段及び前記周波数誤差検出手段の出力を用いてクロック再生を行うことを特徴とするOFDM受信装置。

【請求項2】 前記相関検出手段は、前記基準シンボルのI軸データ、Q軸データを発生する基準シンボル発生手段と、

前記直交検波手段のI軸データ出力と前記基準シンボル発生手段のI軸データ出力との相関を求める第1の相関演算手段と、

前記直交検波手段のQ軸データ出力と前記基準シンボル発生手段のQ軸データ出力との相関を求める第2の相関演算手段と、

前記第1及び第2の相関演算手段の出力をそれぞれ2乗して加算する振幅検出手段とを備えることを特徴とする請求項1記載のOFDM受信装置。

【請求項3】 前記最大値検出手段は、先に検出された最大値に所定の値を加算するオフセット手段を備え、入力データと前記オフセット手段の出力を比較することにより、入力データ系列の最大値を検出することを特徴とする請求項1記載のOFDM受信装置。

【請求項4】 前記周波数誤差検出手段は、周波数誤差の有無に応じて、クロック再生制御における周波数制御／位相制御のいずれか一方を選択する切換信号を出力する周波数／位相制御切換手段を備え、

前記切換信号により、クロック再生制御における周波数制御／位相制御のいずれか一方を選択することを特徴とする請求項1記載のOFDM受信装置。

【請求項5】 前記最大値検出手段は、検出された最大値が所定のレベル以上であることを示す最大値検出フラグを出力する比較手段を備え、

前記最大値検出フラグに基づいて、最大値検出フラグが検出されているときはクロック再生制御を行い、最大値検出フラグが検出されていないときは、クロック再生制御を行わないようにしたことを特徴とする請求項1記載のOFDM受信装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、OFDM受信装置に関し、特にOFDM変調波に含まれる基準信号からクロック再生を行うクロック再生回路に関する。

【0002】

【従来の技術】 近年、映像信号または音声信号の伝送において、高品質で周波数利用効率が高いデジタル変調方式が開発されている。特に移動体受信においては、マルチパス干渉に強い直交周波数分割多重（以下OFDM（Orthogonal Frequency Division Multiplex）という）変調方式の採用が検討されている。

【0003】 OFDM方式は、伝送デジタルデータを互いに直交する多数の搬送波（以下サブキャリアという）に分散して変調する方式で、マルチパス干渉の影響を受けにくいと言う特徴の外に、周波数利用効率が高く、また、他に妨害を与えにくいという利点を有する。このOFDM方式の詳細については、文献「OFDMを用いた移動体デジタル音声放送」（NHK発行、VIEW 1993年5月）などに述べられているので、ここでは本発明に関連する従来の技術についてのみ説明する。

【0004】 OFDM伝送においては、互いに直交する複数キャリアにデータを割り当てて変調及び復調を行う。これは、送信側で複数のシンボルデータに対してIFFT処理を行って送信し、逆に受信側で受信データに対してFFT処理を行うことにより実現できる。

【0005】 したがって、OFDM受信装置では、FFT復調を行うために入力されたOFDM変調信号からクロックの再生を行う必要がある。このため、一般にOFDM伝送においてはクロック再生用の基準シンボルを周期的に送信する。

【0006】 図8に従来のクロック再生回路を用いたOFDM受信装置の構成を示し、図9に基準シンボルを伝送する場合のOFDM変調方式の一例を示す。図9に示す基準シンボルには、自己相関性の高い図10に示すようなサインスイープが一般的に用いられる。尚、図10において、(a)はI軸データ、(b)はQ軸データを示している。

【0007】 図8において、入力端子801には図9に示すOFDM変調波が供給され、周波数変換器802により所定の周波数に変換され、A/D変換器803により後述の再生クロックに基づいてデジタル信号に変換された後、直交検波器804に供給される。

【0008】 この直交検波器804は、入力信号を再生キャリアで直交検波し、ベースバンドのOFDM変調波を出力するもので、その同相検波軸出力（I信号）と直交検波軸出力（Q信号）はそれぞれOFDM変調波の実部及び虚部であり、共にFFT回路805に供給される。

【0009】このFFT回路805は入力されたI信号及びQ信号のガード期間を除いた有効シンボルに対してFFT処理を行うもので、その出力は各キャリアの振幅・位相を表す複素データであり、共に等化器806に供給される。

【0010】この等化器806は入力された複素データに対してマルチパスなどによる振幅・位相のずれの補正処理を行うもので、その出力はデマルチプレクサ807によりヌルシンボル及び基準シンボルが分離され、情報シンボルのみが受信データとして、復調Iデータ出力が出力端子808から、復調Qデータ出力が出力端子809から出力される。

【0011】一方、直交検波器804から出力されるI信号及びQ信号は共に分岐され、ヌル検出器810に供給されて、ヌル期間のエンベロープ検出が行われ、ヌル検出タイミングがカウンタ811に出力される。カウンタ811はヌル検出タイミング信号により一定期間のカウントを行うもので、そのカウント値は誤差検出器812へ供給される。

【0012】この誤差検出器812は入力された一定期間のカウント値と基準値との比較を行うもので、その比較結果は誤差検出信号としてループフィルタ813に供給され、クロック再生制御信号に変換されてD/A814に供給される。このD/A変換器814はクロック再生制御信号をアナログ信号に変換し、電圧制御発振器815のコントロール電圧として出力する。

【0013】コントロール電圧により制御されて発振したクロックは、分周器816でA/D変換器803の変換クロックに分周され、これによりクロック再生が達成できる。

【0014】また、ヌル検出器810の出力はタイミング再生回路817にも供給される。このタイミング再生回路817はヌル検出器810からの検出タイミング信号により各種タイミングパルスの発生を行うものである。

【0015】

【発明が解決しようとする課題】しかしながら、上述した従来のOFDM受信装置においては、エンベロープのレベルを所定の基準レベルと比較することでヌルシンボル期間を検出してクロック再生を行っているため、引き込み範囲が狭く、受信信号のC/Nの劣化やマルチパスの影響などにより、正確なクロック再生が行えないという問題があった。

【0016】この発明は上記の課題を解決するためになされたもので、受信装置のクロック再生について、広い範囲で引き込みを行うことができ、受信信号のC/Nの劣化及びマルチパスの影響などによってエンベロープが変化した場合でも、影響を受けることなく正確にクロック再生を行うことができるOFDM受信装置を提供することを目的とする。

【0017】

【課題を解決するための手段】本願第1の発明に係るOFDM受信装置は、ヌルシンボル及びタイミング同期用の基準シンボルを含むOFDM変調波が入力され、入力を直交検波する直交検波手段と、この手段の直交検波出力に含まれる前記基準シンボルの相関を検出する相関検出手段と、この手段の相関検出出力の最大値を検出する最大値検出手段と、この手段の最大値検出出力に基づいて前記相関検出出力の最大値の前後の差分を求めることによりクロックの位相誤差を検出する位相誤差検出手段と、前記最大値検出出力に基づいて前記相関検出出力が最大となるタイミングの基準値からのずれを求めることによりクロックの周波数誤差を検出する周波数誤差検出手段とを具備し、前記位相誤差検出手段及び前記周波数誤差検出手段の出力を用いてクロック再生を行うことを特徴とする。

【0018】本願第2の発明に係るOFDM受信装置は、前記相関検出手段において、前記基準シンボルのI軸データ、Q軸データを発生する基準シンボル発生手段と、前記直交検波手段のI軸データ出力と前記基準シンボル発生手段のI軸データ出力との相関を求める第1の相関演算手段と、前記直交検波手段のQ軸データ出力と前記基準シンボル発生手段のQ軸データ出力との相関を求める第2の相関演算手段と、前記第1及び第2の相関演算手段の出力をそれぞれ2乗して加算する振幅検出手段とを備えることを特徴とする。

【0019】本願第3の発明に係るOFDM受信装置は、前記最大値検出手段において、先に検出された最大値に所定の値を加算するオフセット手段を備え、入力データと前記オフセット手段の出力を比較することにより、入力データ系列の最大値を検出することを特徴とする。

【0020】本願第4の発明に係るOFDM受信装置は、前記周波数誤差検出手段において、周波数誤差の有無に応じて、クロック再生制御における周波数制御/位相制御のいずれか一方を選択する切換信号を出力する周波数/位相制御切換手段を備え、前記切換信号により、クロック再生制御における周波数制御/位相制御のいずれか一方を選択することを特徴とする。

【0021】本願第5の発明に係るOFDM受信装置は、前記最大値検出手段において、検出された最大値が所定のレベル以上であることを示す最大値検出フラグを出力する比較手段を備え、前記最大値検出フラグに基づいて、最大値検出フラグが検出されているときはクロック再生制御を行い、最大値検出フラグが検出されていないときは、クロック再生制御を行わないようにしたことを特徴とする。

【0022】

【作用】本願第1の発明に係るOFDM受信装置では、複数のサブキャリアを用いた直交周波数分割多重によ

て作成されたヌルシンボル、基準シンボルと多数の有効シンボルにより構成された受信信号を入力して直交検波し、この信号に含まれる前記基準シンボルの相関を求めてその最大値を検出し、最大値検出出力の結果に基づいて前記相関検出出力の前後の差分値を求めることによりクロックの位相誤差を検出すると共に、前記相関検出出力が最大となるタイミングの基準値からのずれを求めることによりクロックの周波数誤差を検出し、前記位相誤差検出結果及び前記周波数誤差検出結果によりクロックの再生を行う。

【0023】すなわち、基準シンボル同士は自己相関性が高いため、相関演算振幅出力を用いることにより、正確な基準シンボル位置の検出を行うことができ、相関演算結果に基づいて、最大値検出器により最大値を検出し、この結果で位相制御と周波数制御を行うことにより、広い範囲での引き込みを、受信劣化の影響を受けることなく正確にクロック再生を行うことができるようにしている。

【0024】本願第2の発明では、前記相関検出手段において、直交検波された信号の基準シンボルのI軸データ、Q軸データと前記基準シンボル発生からの信号の相関演算を行い、相関演算結果の出力をそれぞれ2乗して加算し、振幅演算を行う。

【0025】すなわち、前記基準シンボルのI軸またはQ軸データを発生させた信号と、前記直交検波出力のI軸データとQ軸データの信号の相関演算を行った結果を、それぞれ2乗して加算し振幅を求めることで、入力信号に位相ずれがある場合でも確実に相関を検出できるようにしている。

【0026】本願第3の発明では、前記最大値検出器において、先に検出した最大値に所定の値を加算し、この値と入力値を比較してすることにより、入力データ系列の最大値を検出する。

【0027】すなわち、前記最大値検出器では、先に検出した相関出力の最大値に所定の値を加算し、この値と入力値とを比較することにより、希望波以外にマルチパス信号による同等レベル ( $D/U = 0\text{ dB}$ ) の相関出力が検出された場合でも、希望波を最大値として検出することができるようにしている。

【0028】本願第4の発明では、前記周波数誤差検出手段において、周波数誤差結果に基づいて、周波数誤差制御か位相制御かを選択するための切換信号を生成し、この切換信号によりどちらか一方を選択しクロック制御を行い、周波数誤差がある場合は、周波数制御のみを行い位相制御は行わず、周波数誤差がない場合は、周波数制御は行わず位相制御のみを行う。

【0029】すなわち、前記周波数誤差検出器では、周波数誤差検出結果に基づいて、周波数制御か位相制御かを切り換える切換信号を出力することにより、クロックの周波数誤差がある場合には、位相誤差信号を使わない

ように作用する。

【0030】本願第5の発明では、前記最大値検出手段において、最大値が検出されているかを判別する信号を最大値が所定レベル以上かどうかで判定し出力し、この判別信号により最大値が検出されているときのみクロック制御を行い、未検出のときはクロック制御は行わない。すなわち、前記相関検出出力の最大値が未検出のときクロック制御を行わないようにして、基準信号が妨害を受けたときの悪影響を防ぐようにしている。

【0031】

【実施例】以下、図面を参照して本発明の一実施例について詳細に説明する。図1は本発明に係るOFDM受信装置の構成を示すブロック回路図である。尚、入力OFDM変調波は、図2に示すように、ヌルシンボル、基準シンボルと多数の有効シンボルによりフレーム構成されているものとする。以下の実施例では、基準シンボルとして、サインスイープを用いた場合の例を示す。

【0032】入力端子101には、図示しないチューナによって受信されて中間周波数帯の信号（以下IF信号と言う）に変換されたOFDM変調波が入力される。この入力端子101に与えられるOFDM変調波は、送信側において、例えばQAM信号がOFDM変調された後、所定のキャリアにより直交変調されて伝送されたものである。尚、QAMは、複素表現の実部に対応するIデータと虚部に対応するQデータとによってシンボルを表すことができる。

【0033】入力端子101に供給されたOFDM変調波は、周波数変換器102により所定の周波数に変換され、A/D変換器103によりデジタル信号に変換された後、直交検波器104に供給される。直交検波器104では、入力信号を再生キャリアで直交検波し、ベースバンドのOFDM変調波を出力する。

【0034】直交検波器104の同相検波軸出力（I信号）と直交検波軸出力（Q信号）は、それぞれOFDM変調波の実部及び虚部である。A/D変換器103は後述するクロック再生されたクロックでA/D変換される。FFT回路105は入力されたI信号及びQ信号のガード期間を除いた有効シンボルに対してFFT処理を行う。

【0035】FFT回路105の出力は、各キャリアの振幅・位相を表す複素データであり、等化器106でマルチパスなどによる振幅・位相のズレの補正処理が行われ、デマルチプレクサ107により、ヌルシンボル及び基準シンボルが分離されて、情報シンボルのみが受信データとして、復調Iデータ出力が出力端子108から、復調Qデータ出力が出力端子109から出力される。

【0036】一方、直交検波器104のI、Q出力は共に分岐されて相関演算器110にも供給される。この相関演算器110は、入力された信号の基準シンボルと内部基準シンボルとの相関演算を行って相関演算出力SI

及びS Qを得る。

【0037】ここで相関演算器110は、図2に示す基準シンボルの有効シンボル部(Nサンプル)及びその前後の数十サンプルの信号(Mサンプル)をRAMに取り込んだ後、RAMの読出し位置を1サンプルずつずらした信号とROMに記憶されている内部基準信号の読出し出力との相関演算を行っている。相関演算部110の演算期間制御は、アドレス発生回路122からのアドレス値により制御される。

【0038】相関演算出力S Iと相関演算出力S Qは、振幅検出器111にて絶対値を取られ、合成(加算)されて振幅検出信号 $S I^2 + S Q^2$ として出力される。振幅検出信号 $S I^2 + S Q^2$ は位相誤差検出部112に供給される。この位相誤差検出部112は、相関ピーク値前後の差分値を位相誤差検出信号として出力するもので、その出力は周波数/位相切換器115に供給される。

【0039】一方、位相誤差検出部112から出力される相関ピーク値は、最大値検出器113にも供給され、ここで最大値が検出され、検出タイミング信号と検出された最大値が所定のレベル以上であることを示す最大値検出フラグが周波数誤差検出器114に供給される。

【0040】周波数誤差検出器114は、アドレス発生回路122から最大値検出タイミングで出力されるアドレス値を取り込み、基準値と比較することにより、周波数の誤差検出を検出フラグが検出されている期間行うもので、その周波数誤差検出信号は周波数/位相切換器115に供給される。すなわち、周波数誤差検出器114は、周波数誤差が検出されたか否かにより、周波数/位相の切換えを行う制御信号を周波数/位相切換器115に出力する。

【0041】この周波数/位相切換器115は、周波数誤差検出器114からの切換信号に基づいて、周波数誤差検出信号、位相誤差検出信号のいずれか一方を選択的に出力するもので、その出力はループフィルタ116に供給され、クロック再生制御信号としてD/A変換器117に供給される。

【0042】このD/A変換器117はクロック再生制御信号をアナログ信号に変換し、電圧制御発振器118にコントロール電圧として出力する。コントロール電圧により制御されて発振したクロックは、分周器119でA/D変換器103の変換クロックに分周される。これによりクロック再生が達成できる。

【0043】また、最大値検出器113の出力はタイミング再生回路120にも供給される。このタイミング再生回路120は、最大値検出器113からの検出タイミング信号により各種タイミングパルスの発生を行うものである。

【0044】図3は図1の相関演算部110の具体的な構成を示すブロック回路図である。図3において、R A

M301は直交検波器104からの同相検波出力(I信号)と直交検波出力(Q信号)を入力し、アドレス発生回路122からのRAM-W(書込み)アドレスに基づいて基準シンボルの有効シンボル部及びその前後の数十サンプルの信号を取り込む。また、アドレス発生回路122からのRAM-R(読出し)アドレスに基づいて、取り込んだ信号を有効期間の幅で読出し位置を1サンプルずつずらしながら順に読出し出力する。

【0045】RAM301の同相I出力信号と直交Q出力信号は、それぞれ乗算器302, 303に供給され、ROM304から読出し出力される内部基準信号(S)と乗算演算される。ROM304の読出しはアドレス発生回路122からのROM-Rアドレスに基づいて行われる。

【0046】乗算器302, 303から出力されるS I信号、S Q信号は、それぞれ加算器305, 306及びラッチ回路307, 308によってNサンプル分の値が積分された後、ラッチ回路309, 310に取り込まれ、相関演算出力S I, S Qとなる。相関演算開始時点でラッチ回路307, 308にクリア信号が供給され、前回の演算結果は0にクリアされるようになっている。また、Nサンプルの積分が終了した時点で、ラッチ回路309, 310にクロック信号が供給されてデータを取り込むようになっている。

【0047】図4は、図1の最大値検出器113の具体的な構成を示すブロック回路図である。図4において、振幅検出器111より供給される相関振幅出力は比較器401の端子A及びラッチ回路402に入力される。ラッチ回路402は相関出力の最大値を保持するためのもので、相関演算部110のRAM301に基準信号が書き込まれた時点で、リセット信号により出力が0にクリアされる。

【0048】ラッチ回路402の出力は加算器403を通して比較器401の端子Bに入力される。比較器401の出力はA>BのときにHになり、これがラッチ回路402のクロック端子に供給されて、入力信号が新しい最大値として保持される。また、比較器401の出力は最大検出タイミングとして出力される。

【0049】尚、加算器403はオフセット回路404から出力される所定の値を入力し、ラッチ回路402の出力に加算するようになっている。これは、受信信号にレベルの大きなマルチパス信号が含まれる場合でも、安定に相関出力の最大値を検出するためのものである。

【0050】特にD/U=0 dBのマルチパス信号が存在する場合、先に検出される希望波による相関ピークと、後に検出されるマルチパス波による相関ピークのレベルがほぼ等しくなる。このような場合でも、図4に示すように、先に検出された最大値を所定レベルだけオフセットさせることにより、安定して最初の相関ピークを最大値と判定することができる。

【0051】一方、振幅検出器111からの相関振幅出力は比較器405にも供給される。この比較器405は検出された最大値が所定のレベル以上であることを判定するもので、その判定結果は最大値検出フラグとして周波数誤差検出器114へ出力される。

【0052】図5は図1の位相誤差検出部112の具体的な構成を示すブロック回路図である。図5において、振幅検出器111からの相関振幅出力 $S I^2 + S Q^2$ は、ラッチ回路501、502を介して加算器503に供給される。この加算器503は相関振幅出力を直接入力して、ラッチ回路501、502を通過してきた信号との差分演算を行う。この処理により、ラッチ回路501から相関ピーク値が得られ（最大値検出器113へ出力される）、加算器503からピーク前後の差分値が得られる。

【0053】加算器503の出力はラッチ回路504に供給される。このラッチ回路504は加算器503の出力の差分信号を最大値検出器113からの最大値検出タイミングにより取り込むもので、そのラッチ出力は位相誤差検出信号として周波数/位相切換器115へ出力される。

【0054】図6は図1の周波数誤差検出器114の具体的な構成を示すブロック回路図である。図6において、ラッチ回路601にはアドレス発生回路122よりRAM301の読出し開始点におけるオフセット量を示すデータが供給される。またラッチ回路601のクロック端子には、最大値検出器113の出力が供給される。つまり、ラッチ回路601は相関出力が最大となったときのアドレスオフセット量を順次取り込むようになっていく。

【0055】相関検出が終了した時点で、ラッチ回路602にタイミング信号が供給されて、ラッチ回路601のデータが取り込まれる。これにより相関出力が最大となったときのRAM301の読出し開始点のずれが求められる。ラッチ回路602の出力は誤差信号検出器603に供給される。

【0056】この誤差信号検出器603は、ラッチ回路602の出力を所定の値と比較することにより、比較結果を周波数誤差検出信号として出力する。また、周波数誤差信号が検出されたか否かにより、周波数/位相の切換制御を行う信号を出力する。

【0057】具体的には、周波数誤差がある場合は位相制御は行わずに周波数制御のみを行い、周波数誤差がない場合は周波数制御は行わずに位相制御のみを行うようになされており、最大値検出器113から供給される基準シンボルの検出フラグにより制御され、検出されないときは周波数/位相制御切換信号を周波数側とし、出力を0とする。

【0058】図7(a)乃至図7(d)に基準シンボル相関検出によるクロック誤差の影響を示す。図7(a)

はクロックの位相誤差が0度の時、図7(b)は90度の時、図7(c)は180度の時、図7(d)は360度の時を示している。

【0059】このように相関ピーク前後の差分値を誤差信号とすることにより、±180度のクロック誤差を制御できる。また、相関ピークのタイミングずれからサンプル単位のクロック誤差を検出できる。

【0060】したがって、上記構成によるOFDM受信装置は、相関演算結果の振幅検出処理によって得られる相関ピーク値の前後の振幅レベルが等しくなるように制御することで、OFDM変調信号に含まれる基準シンボルの相関を検出した信号から周波数誤差と位相誤差を検出し、クロック再生を行うようにしているので、広い範囲でクロックの引き込みを行うことができ、受信信号のC/Nの劣化及びマルチパスの影響などを受けることなく正確なクロック再生を行うことができる。

【0061】

【発明の効果】以上説明したようにこの発明によれば、クロック再生について広い範囲で引き込みを行うことができ、受信信号のC/Nの劣化及びマルチパスの影響などによってエンベロープが変化した場合でも、影響を受けることなく正確にクロック再生を行うことができるOFDM受信装置を提供することができる。

【図面の簡単な説明】

【図1】 この発明に係るOFDM受信装置の一実施例の構成を示すブロック回路図である。

【図2】 図1に示す実施例のOFDM変調波入力フレーム構成を示す図である。

【図3】 図1に示す実施例の相関演算部の具体的な構成を示すブロック回路図である。

【図4】 図1に示す実施例の最大値検出器の具体的な構成を示すブロック回路図である。

【図5】 図1に示す実施例の位相誤差検出器の具体的な構成を示すブロック回路図である。

【図6】 図1に示す実施例の周波数誤差検出器の具体的な構成を示すブロック回路図である。

【図7】 図1に示す実施例の基準シンボル相関検出におけるクロック誤差の影響を示す図であり、(a)～(d)はそれぞれクロック位相誤差が0度、90度、180度、360度の時を示す図である。

【図8】 従来のOFDM受信装置の構成を示すブロック回路図である。

【図9】 従来のOFDM伝送方式における基準シンボルを含むOFDM変調波のフレーム構成を示す図である。

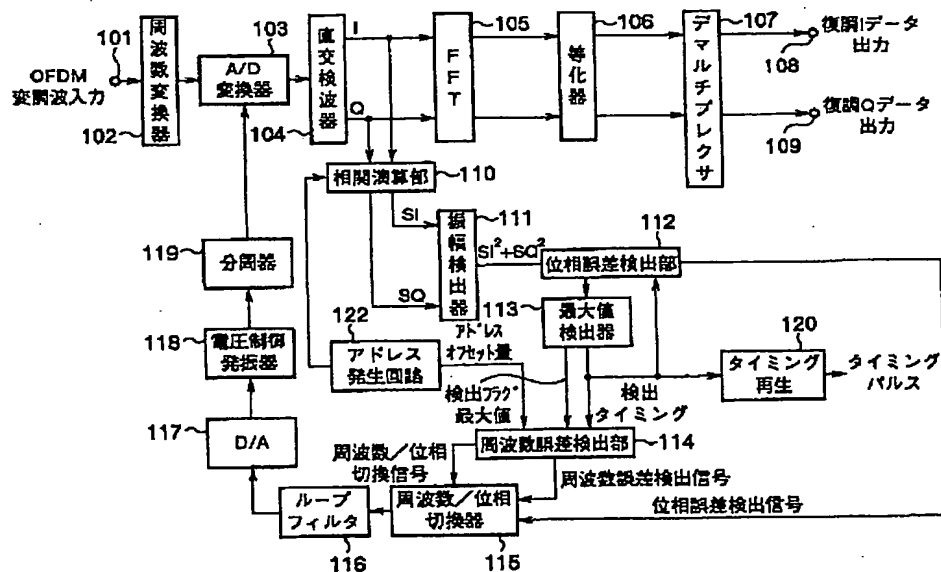
【図10】 上記基準シンボルとして用いられるサインスイープ波形の一例を示す図である。

【符号の説明】

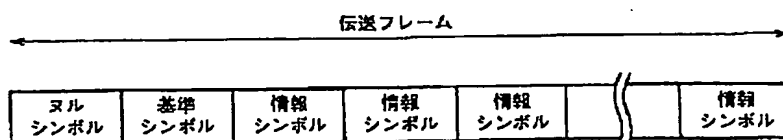
101…OFDM変調波入力端子 102…周波数変換器

103...A/D変換器	104...直交検波器	401...比較器	402...ラッチ回路
105...FFT回路	106...等化器	403...加算器	404...オフセット
107...デマルチプレクサ	108...復調Iデータ出力端子	発生回路	
109...復調Qデータ出力端子	110...相関演算部	405...比較器	503...加算器
111...振幅検出器	112...位相誤差検出部	501, 502...ラッチ回路	504...ラッチ回路
113...最大値検出器	114...周波数誤差	601, 602...ラッチ回路	603...誤差信号検出器
115...周波数/位相切	116...ループフ	801...OFDM変調波入力端子	802...周波数変換器
117...D/A変換器	118...電圧制御発振器	803...A/D変換器	804...直交検波器
119...分周器	120...タイミング	805...FFT回路	806...等化器
再生回路		807...デマルチプレクサ	808...復調Iデータ出力端子
122...アドレス発生回路		809...復調Qデータ出力端子	810...ヌル検出器
301...RAM	302, 303...乗算器	811...カウンタ	812...誤差検出器
304...ROM	305, 306...加算器	813...ループフィルタ	814...D/A変換器
307, 308, 309, 310...ラッチ回路		815...電圧制御発振器	816...分周器
		817...タイミング再生回路	

【図1】

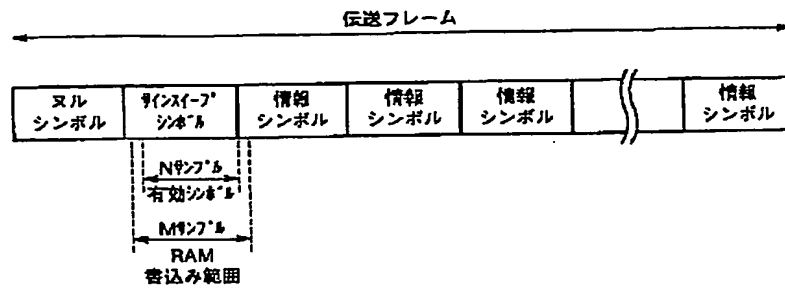


【図9】

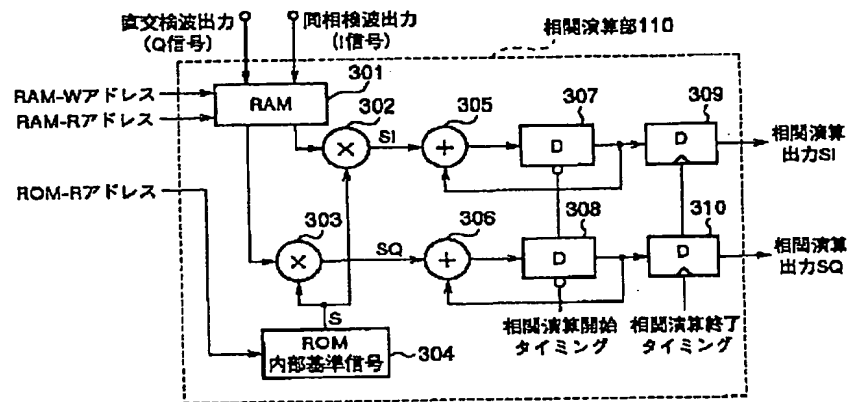




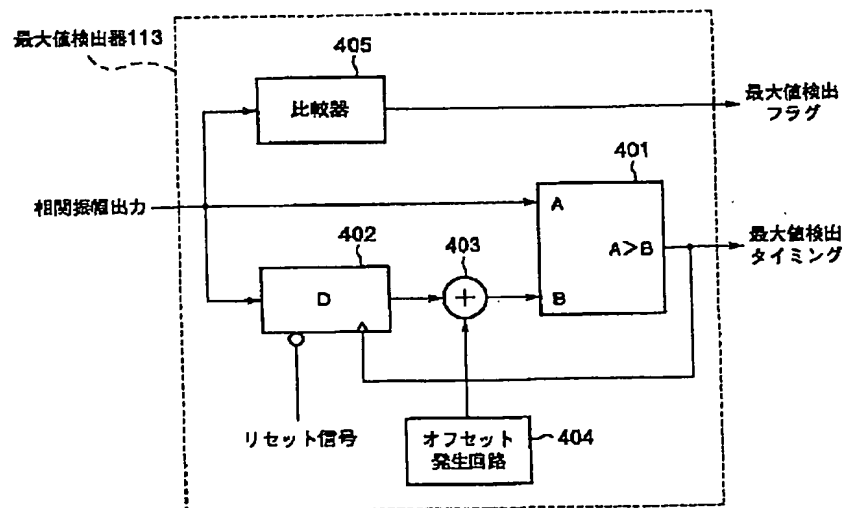
【図2】



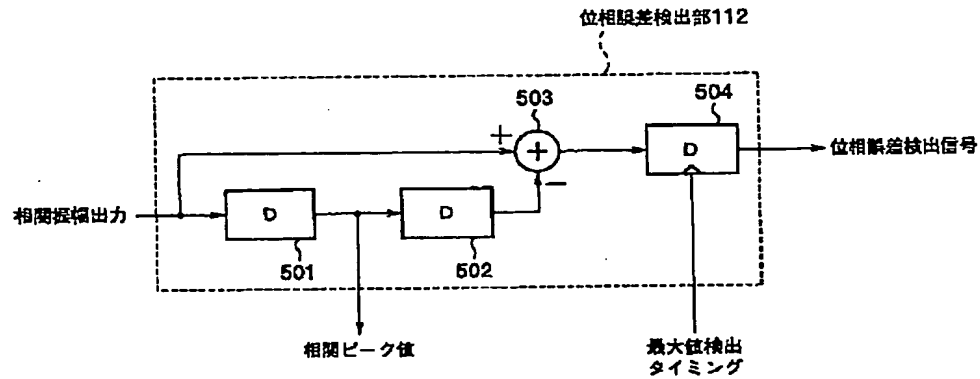
【図3】



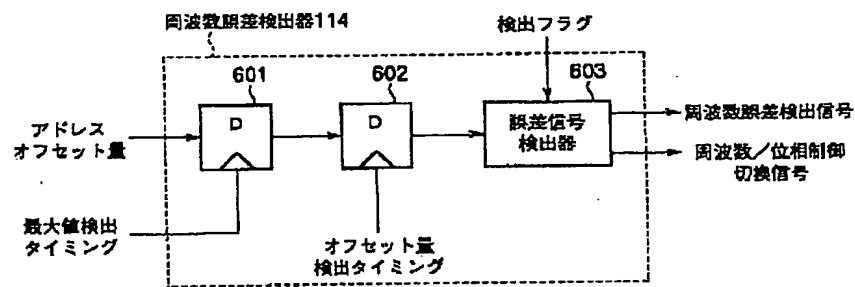
【図4】



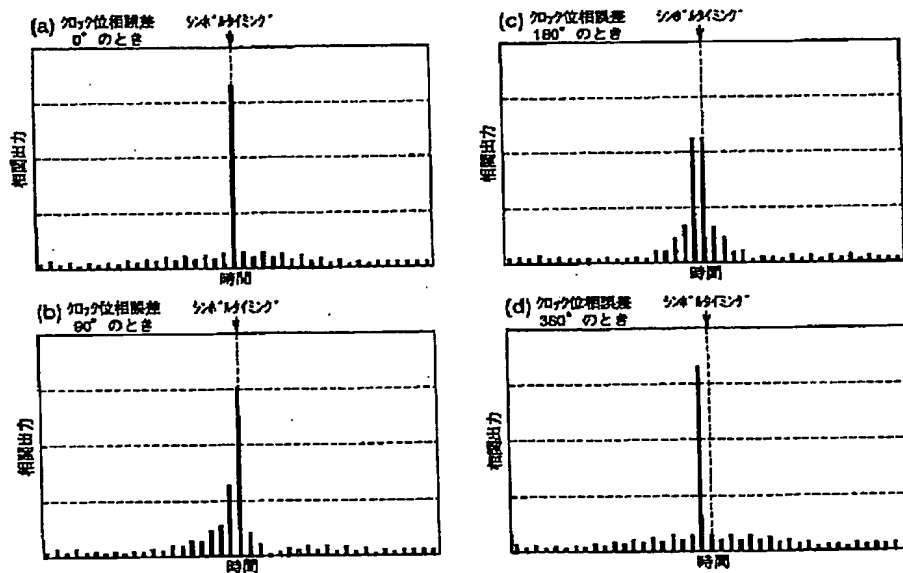
【図5】



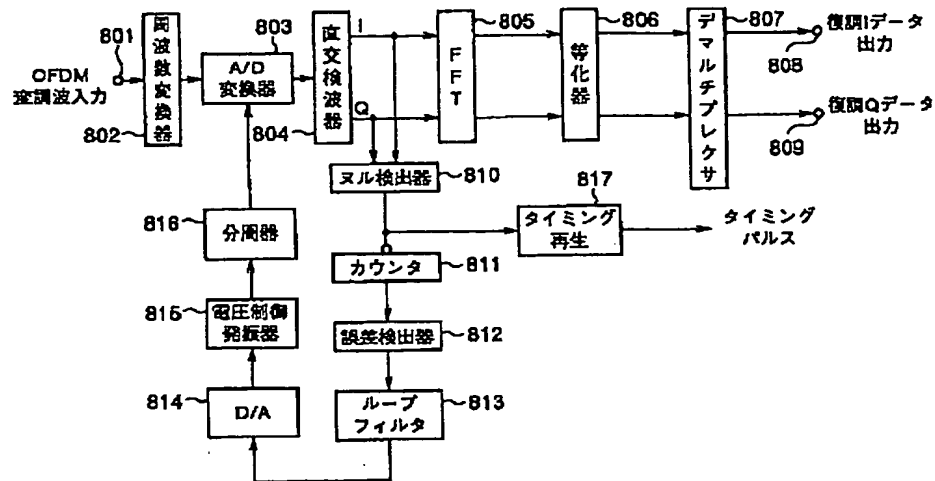
【図6】



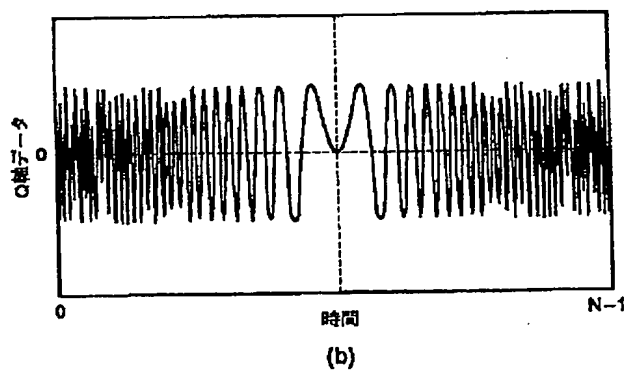
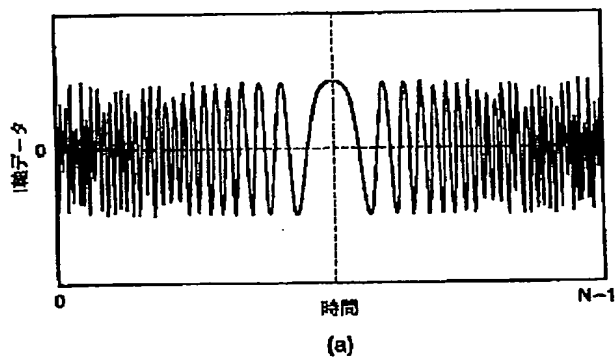
【図7】



【図8】



【図10】



フロントページの続き

(72)発明者 多賀 昇

東京都港区新橋3丁目3番9号 東芝エ  
ー・ブイ・イー株式会社内